


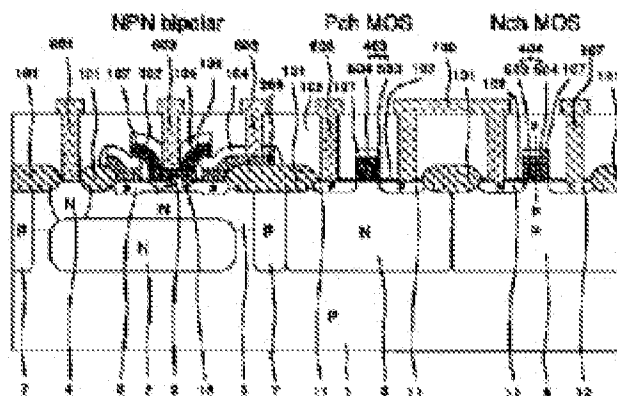
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**Publication number:** JP9330990**Publication date:** 1997-12-22**Inventor:** SUDA KAKUTAROU**Applicant:** MITSUBISHI ELECTRIC CORP**Classification:**

- international: **H01L21/8222; H01L21/8248; H01L21/8249; H01L27/06; H01L21/70; H01L27/06;** (IPC1-7): H01L21/8249; H01L21/8222; H01L27/06

- European: H01L21/8249; H01L27/06D4T

Application number: JP19960146342 19960607**Priority number(s):** JP19960146342 19960607**Also published as:** US6441441 (B1)[Report a data error here](#)**Abstract of JP9330990**

PROBLEM TO BE SOLVED: To prevent a gate oxide film from deteriorating in quality and service life by a method wherein a bipolar transistor is equipped with a nitrogen-free emitter electrode which is as thick as the second gate electrode layer of a MOS transistor. **SOLUTION:** The gate electrode 403 of a P-channel MOS transistor and the gate electrode 404 of an N-channel MOS transistor are formed of lower polycrystalline silicon films 504. Nitrogen is introduced into the gate electrodes 403 and 404 besides arsenic. Nitrogen is segregated in the vicinity of an interface between a lower polycrystalline silicon film 503. By this setup, a gate oxide film can be prevented from deteriorating in quality and service life.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-330990

(43)公開日 平成9年(1997)12月22日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8249		H 0 1 L 27/06	3 2 1 A
	27/06			1 0 1 U
	21/8222			

審査請求 未請求 請求項の数11 O L (全 24 頁)

(21)出願番号 特願平8-146342

(22)出願日 平成8年(1996)6月7日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 須田 核太郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

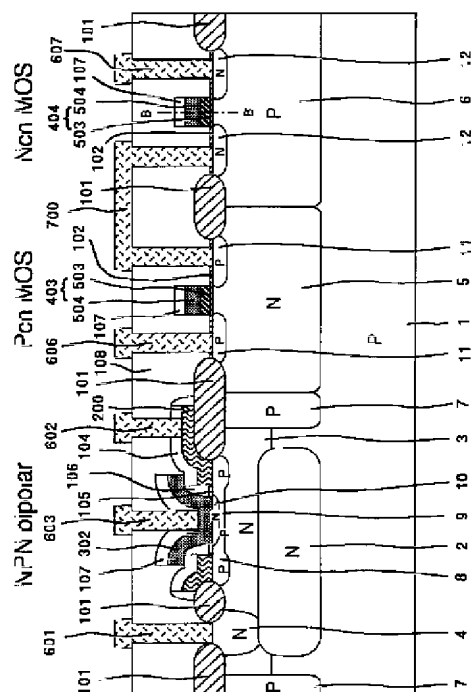
(74)代理人 弁理士 葛野 信一

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備えた半導体装置において、ゲート酸化膜の膜質の劣化とその寿命の低下を防止した半導体装置とその製造方法を得る。

【解決手段】 MOSトランジスタのゲート電極を、下層シリコン膜と上層シリコン膜で形成し、N型不純物としてのヒ素に加えて窒素を導入し、かつ窒素を下層シリコン膜とゲート酸化膜の界面付近に偏析させる。エミッタ電極は、上層シリコン膜と同一の膜で形成するが、窒素は導入しない。



【特許請求の範囲】

【請求項1】 同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備え、前記MOSトランジスタは、ゲート酸化膜と、このゲート酸化膜に接しこのゲート酸化膜との界面近傍に窒素が偏析した第1のゲート電極層とこの第1のゲート電極層に積層された第2のゲート電極層よりなるゲート電極を有し、前記バイポーラトランジスタは、前記MOSトランジスタの前記第2のゲート電極層と同じ膜厚で窒素を含有しないエミッタ電極を有することを特徴とする半導体装置。

【請求項2】 同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備え、前記MOSトランジスタは、単結晶シリコン膜で形成されたゲート電極を有し、前記バイポーラトランジスタは、前記MOSトランジスタのゲート電極を形成する前記単結晶シリコン膜よりも膜厚の薄い単結晶シリコン膜で形成されたエミッタ電極を有することを特徴とする半導体装置。

【請求項3】 前記MOSトランジスタの前記ゲート電極および前記バイポーラトランジスタの前記エミッタ電極の表面に、それぞれ高融点金属膜または高融点金属のシリサイド膜を形成したことを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記バイポーラトランジスタはN型のエミッタ電極を有するNPNバイポーラトランジスタであり、前記MOSトランジスタは、N型のゲート電極を有するPチャネルMOSトランジスタとN型のゲート電極を有するNチャネルMOSトランジスタとを混載したCMOSトランジスタであることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項5】 前記バイポーラトランジスタは、N型のエミッタ電極を有するNPNバイポーラトランジスタであり、前記MOSトランジスタは、P型のゲート電極を有するPチャネルMOSトランジスタとN型のゲート電極を有するNチャネルMOSトランジスタとを混載したCMOSトランジスタであることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項6】 前記バイポーラトランジスタは、N型のエミッタ電極を有するNPNバイポーラトランジスタとP型のエミッタ電極を有するPNPバイポーラトランジスタとを混載したものであることを特徴とする請求項1ないし5のいずれか1項に記載の半導体装置。

【請求項7】 同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる多結晶シリコン膜を形成しこの多結晶シリコン膜に窒素を導入する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエ

ミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる窒素を含有した多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる第1の多結晶シリコン膜を形成する工程と、前記第1の多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる第2の多結晶シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる第2の多結晶シリコン膜を形成する工程と、前記第2の多結晶シリコン膜に窒素をイオン注入し前記第2の多結晶シリコン膜中に非晶質層を形成する工程と、前記第2の多結晶シリコン膜に投影飛程が前記非晶質層よりも浅い注入エネルギーにて不純物をイオン注入する工程と、熱処理を施すことにより、前記第2の多結晶シリコン膜から前記第1の多結晶シリコン膜に前記不純物と窒素とを拡散させ、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に窒素をイオン注入する工程と、前記非晶質シリコン膜に不純物

をイオン注入する工程と、熱処理を施すことにより、前記非晶質シリコン膜から前記多結晶シリコン膜に前記不純物と窒素とを拡散させ、前記多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とする半導体装置の製造方法。

【請求項11】 同一半導体基板上に、バイポーラトランジスタとMOSトランジスタを有する半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる第1の非晶質シリコン膜を形成し、熱処理を施して結晶化させて第1の単結晶シリコン膜にする工程と、前記第1の単結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる第2の非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる第2の非晶質シリコン膜を形成する工程と、前記第2の非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第2の非晶質シリコン膜から前記第1の単結晶シリコン膜に前記不純物を拡散させるとともに、前記第2の非晶質シリコン膜を結晶化させて第2の単結晶シリコン膜にする工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体装置およびその製造方法に関し、特にBi-CMOS半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 図23は、従来のBi-CMOS半導体装置の断面構造図である。図に示すように、従来のBi-CMOS半導体装置は、P型半導体基板1上にNPNバイポーラトランジスタ、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタの各素子が形成されている。

【0003】 NPNバイポーラトランジスタは、低濃度のP型半導体基板1の上に、高濃度のN型埋め込み層2、低濃度のN型コレクタ層3、高濃度のN型コレクタコンタクト層4、P型分離層7、高濃度のP型外部ベース層8、中濃度のP型ベース層9、高濃度のN型エミッタ層10、ベース電極200、エミッタ電極301を形成してなっている。また、素子分離酸化膜101、酸化膜104、熱酸化膜105、サイドウォール酸化膜106、酸化膜107を備えている。そして、エミッタ電極301は、N型不純物として一般的にはヒ素が導入された多結晶シリコン膜で形成されている。

【0004】 PチャネルMOSトランジスタは、P型半導体基板1上に、低濃度のN型ウェル層5、高濃度のP型ソース・ドレイン層11、ゲート酸化膜102、酸化膜107、ゲート電極401を形成してなっている。ここで、ゲート電極401は、N型不純物として一般的に

はヒ素が導入された下層多結晶シリコン膜501と上層多結晶シリコン膜502で形成されており、上層多結晶シリコン膜502はNPNバイポーラトランジスタのエミッタ電極301と同一の膜である。

【0005】 NチャネルMOSトランジスタは、P型半導体基板1上に、低濃度のP型ウェル層6、高濃度のN型ソース・ドレイン層12、ゲート酸化膜102、酸化膜107、ゲート電極402を形成してなっている。ここで、ゲート電極402は、PチャネルMOSトランジスタのゲート電極401と同一の下層多結晶シリコン膜501と上層多結晶シリコン膜502で形成されている。

【0006】 各素子間は素子分離酸化膜101で絶縁されており、各素子の表面は酸化膜108で覆われ、コンタクトホール601、602、603、606、607および金属配線700が施されている。

【0007】 次に、図24は、従来のBi-CMOS半導体装置の製造方法の一過程を示す断面構造図である。図23及び図24を参照して従来の半導体装置の製造方法を説明する。従来の製造方法においては、まず低濃度のP型半導体基板1上のNPNバイポーラトランジスタ形成領域に高濃度のN型埋め込み層2を形成した後、全表面に低濃度のN型エピタキシャル層3を成長させる。その後、各素子分離領域、およびバイポーラトランジスタのコレクタ・ベース間に素子分離酸化膜101を形成し、続いてコレクタコンタクト部に高濃度のN型コレクタコンタクト層4、PチャネルMOSトランジスタの低濃度のN型ウェル層5、NチャネルMOSトランジスタの低濃度のP型ウェル層6を形成する。さらに、N型エピタキシャル層3どうし間、およびN型エピタキシャル層3とN型ウェル層5間に中濃度のP型分離層7を形成する。なお、N型エピタキシャル層3はこのままN型コレクタ層3となる。

【0008】 次に、N型コレクタ層3、N型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面にゲート酸化膜102を形成し、さらに全表面に下層多結晶シリコン膜501を形成する。

【0009】 次にN型コレクタ層3表面の下層多結晶シリコン膜501およびゲート酸化膜102を除去し、全表面に多結晶シリコン膜500を形成し、この多結晶シリコン膜500にホウ素をイオン注入してP型化する。

【0010】 次に、全表面に酸化膜104を形成し、バイポーラトランジスタのN型コレクタ層3の外部ベース層形成領域から、素子分離酸化膜101の一部に乗り上げた領域までを残して酸化膜104と多結晶シリコン膜500を順次除去する。次に多結晶シリコン膜500が除去されたN型コレクタ層3の表面に熱酸化膜105を形成し、これと同時に多結晶シリコン膜500からN型コレクタ層3へのホウ素の熱拡散により高濃度のP型外部ベース層8を形成する。ここで、多結晶シリコン膜5

00はベース電極200となる。さらに、熱酸化膜105ごしにホウ素をイオン注入し、N型コレクタ層3の上層部に中濃度のP型ベース層9を形成する。

【0011】次に、全表面に酸化膜を堆積しエッチバックすることにより、ベース電極200および酸化膜104の側壁にサイドウォール酸化膜106を形成する。このとき、オーバーエッチにより熱酸化膜105が除去される。

【0012】次に、図24に示すように、全表面に上層多結晶シリコン膜502を形成し、この上層多結晶シリコン膜502にヒ素をイオン注入し、さらに熱処理を施すことにより、上層多結晶シリコン膜502からP型ベース層9の上層部にヒ素を熱拡散させて高濃度のN型エミッタ10を形成し、これと同時に下層多結晶シリコン膜501にもヒ素を熱拡散させてN型化する。

【0013】さらに全表面に酸化膜107を形成し、図23に示すように、酸化膜107と上層多結晶シリコン膜502および下層多結晶シリコン膜501を、バイポーラトランジスタのエミッタ電極形成領域およびMOSトランジスタのゲート電極形成領域を残して順次除去し、これによって、上層多結晶シリコン膜502から成るエミッタ電極301、および下層多結晶シリコン膜501と上層多結晶シリコン膜502から成るゲート電極401、402を形成する。このとき、ゲート酸化膜102はN型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面の保護膜となる。

【0014】次に、バイポーラトランジスタおよびNチャネルMOSトランジスタをフォトレジストで覆い(図示せず)、ゲート酸化膜102ごしにホウ素をイオン注入し、図23に示すように、N型ウェル層5の上層部に高濃度のP型ソース・ドレイン層11を形成する。このとき、酸化膜107がイオン注入に対するゲート電極401のマスクとなる。つぎに、バイポーラトランジスタおよびPチャネルMOSトランジスタをフォトレジストで覆い(図示せず)、ゲート酸化膜102ごしにヒ素をイオン注入しP型ウェル層6の上層部に高濃度のN型ソース・ドレイン層12を形成する。このとき、酸化膜107がイオン注入に対するゲート電極402のマスクとなる。さらに、熱処理を施すことにより、P型ソース・ドレイン層11およびN型ソース・ドレイン層12を活性化する。

【0015】その後、全表面に酸化膜108を形成し、N型コレクタコンタクト層4、ベース電極200、エミッタ電極301、N型ウェル層5、P型ウェル層6、P型ソース・ドレイン層11、N型ソース・ドレイン層12、ゲート電極401、402上にコンタクトホール601～609を形成し、各コンタクトホールを介して任意の金属配線700を形成して図23に示した構造を得る。ただし、N型ウェル層5、P型ウェル層6、ゲート電極401、402上のコンタクトホール604、60

5、608、609は図とは別の領域に形成されている。

【0016】

【発明が解決しようとする課題】以上が従来のBi-CMOS半導体装置の構造およびその製造方法であるが、つぎにその問題点について説明する。先ず、従来の半導体装置の構造上の問題点について説明する。

【0017】図25は、図23のA-A'部分のヒ素の濃度分布を示す図である。Nチャネル、Pチャネルの両MOSトランジスタのゲート電極401、402は、ヒ素を含んだ下層多結晶シリコン膜501と上層多結晶シリコン膜502で形成されている。ヒ素を含んだ多結晶シリコン膜をゲート電極に用いた場合、図25に示すごとくヒ素が多結晶シリコン膜とゲート酸化膜の界面付近に偏析してゲート酸化膜の寿命を低下させるという問題点がある。

【0018】この問題点に対し、ゲート電極の多結晶シリコン膜に窒素を混入し、窒素を多結晶シリコン膜とゲート酸化膜の界面付近に偏析させることによりヒ素の偏析を抑制する試みがなされている。しかし、この方法では、ゲート電極401、402の上層多結晶シリコン膜502は、NPNバイポーラトランジスタのエミッタ電極301と同一の膜であるため、ゲート電極401、402に窒素を混入するとエミッタ電極301にも窒素が混入することになる。エミッタ電極301に混入した窒素は、エミッタ電極301とN型エミッタ層10の界面付近に偏析してNPNバイポーラトランジスタの電流増幅率を低下させるという新たな問題点が発生する。

【0019】また、従来のBi-CMOS半導体装置では、エミッタ電極301およびゲート電極401、402が多結晶シリコン膜で形成されているため、各電極の電気抵抗が高く消費電力の損失が大きい。

【0020】次に、従来の半導体装置の製造方法における問題点について説明する。まず第一の問題点について説明する。図24に示した工程において、上層多結晶シリコン膜502にヒ素をイオン注入する際、通常はヒ素イオンがゲート酸化膜102に達しないように注入エネルギーの設定をおこなう。ところが、上層多結晶シリコン膜502および下層多結晶シリコン膜501の結晶粒は任意の結晶方位を有しているため、結晶方位がヒ素イオンの注入方向と一致する場所において、ヒ素イオンが結晶原子と衝突することなく深い位置まで進入するいわゆるチャネリング現象によって一部のヒ素イオンがゲート酸化膜102まで、あるいはウェル層まで達する場合がある。するとこのヒ素イオンによってゲート酸化膜102の原子結合に損傷をきたし、膜質の劣化を招くという問題点がある。

【0021】次に第二の問題点について説明する。一般に多結晶シリコン膜中の不純物の熱拡散においては粒界に沿った速い拡散が起こる。図24に示した工程におい

て、上層多結晶シリコン膜502にヒ素をイオン注入し、さらに熱処理を施すことにより上層多結晶シリコン膜502から下層多結晶シリコン膜501にヒ素を熱拡散させてN型化させる際にも、この粒界に沿った速い拡散によりヒ素が素早く下層多結晶シリコン膜501とゲート酸化膜102の界面付近に到達し、ここに偏析してゲート酸化膜の寿命を低下させるという問題点がある。なお、上述の第一、第二の問題点は、N型の不純物としてヒ素以外の例えばリンを用いた場合にも同様に発生するものである。この発明は、上述した従来の問題を解決するためになされたものである。

【0022】

【課題を解決するための手段】この発明の半導体装置は、同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備え、前記MOSトランジスタは、ゲート酸化膜と、このゲート酸化膜に接しこのゲート酸化膜との界面近傍に窒素が偏析した第1のゲート電極層とこの第1のゲート電極層に積層された第2のゲート電極層よりなるゲート電極を有し、前記バイポーラトランジスタは、前記MOSトランジスタの前記第2のゲート電極層と同じ膜厚で窒素を含有しないエミッタ電極を有することを特徴とするものである。

【0023】また、この発明の半導体装置は、同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備え、前記MOSトランジスタは、単結晶シリコン膜で形成されたゲート電極を有し、前記バイポーラトランジスタは、前記MOSトランジスタのゲート電極を形成する前記単結晶シリコン膜よりも膜厚の薄い単結晶シリコン膜で形成されたエミッタ電極を有することを特徴とするものである。

【0024】また、この発明の半導体装置は、前記MOSトランジスタの前記ゲート電極および前記バイポーラトランジスタの前記エミッタ電極の表面に、それぞれ高融点金属膜または高融点金属のシリサイド膜を形成したことを特徴とするものである。

【0025】また、この発明の半導体装置は、前記バイポーラトランジスタはN型のエミッタ電極を有するNPNバイポーラトランジスタであり、前記MOSトランジスタは、N型のゲート電極を有するPチャネルMOSトランジスタとN型のゲート電極を有するNチャネルMOSトランジスタとを混載したCMOSトランジスタであることを特徴とするものである。

【0026】また、この発明の半導体装置は、前記バイポーラトランジスタは、N型のエミッタ電極を有するNPNバイポーラトランジスタであり、前記MOSトランジスタは、P型のゲート電極を有するPチャネルMOSトランジスタとN型のゲート電極を有するNチャネルMOSトランジスタとを混載したCMOSトランジスタであることを特徴とするものである。

【0027】また、この発明の半導体装置は、前記バイ

ポーラトランジスタは、N型のエミッタ電極を有するNPNバイポーラトランジスタとP型のエミッタ電極を有するPNPバイポーラトランジスタとを混載したものであることを特徴とするものである。

【0028】次に、この発明の半導体装置の製造方法は、同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる多結晶シリコン膜を形成しこの多結晶シリコン膜に窒素を導入する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とするものである。

【0029】また、この発明の半導体装置の製造方法は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる窒素を含有した多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とするものである。

【0030】また、この発明の半導体装置の製造方法は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる第1の多結晶シリコン膜を形成する工程と、前記第1の多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる第2の多結晶シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる第2の多結晶シリコン膜を形成する工程と、前記第2の多結晶シリコン膜に窒素をイオン注入し前記第2の多結晶シリコン膜中に非晶質層を形成する工程と、前記第2の多結晶シリコン膜に投影飛程が前記非晶質層よりも浅い注入エネルギーにて不純物をイオン注入する工程と、熱処理を施すことにより、前記第2の多結晶シリコン膜から前記

第1の多結晶シリコン膜に前記不純物と窒素とを拡散させ、前記第1の多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とするものである。

【0031】また、この発明の半導体装置の製造方法は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを備えた半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる非晶質シリコン膜を形成する工程と、前記非晶質シリコン膜に窒素をイオン注入する工程と、前記非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記非晶質シリコン膜から前記多結晶シリコン膜に前記不純物と窒素とを拡散させ、前記多結晶シリコン膜と前記ゲート酸化膜の界面付近に前記窒素を偏析させる工程とを含むことを特徴とするものである。

【0032】また、この発明の半導体装置の製造方法は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタとを有する半導体装置の製造方法において、前記半導体基板上のMOSトランジスタ形成用のゲート酸化膜の表面に第1のゲート電極層となる第1の非晶質シリコン膜を形成し、熱処理を施して結晶化させて第1の単結晶シリコン膜にする工程と、前記第1の単結晶シリコン膜の表面に前記MOSトランジスタの第2のゲート電極層となる第2の非晶質シリコン膜を形成すると同時に、前記半導体基板上のバイポーラトランジスタ形成用のエミッタ層の表面にエミッタ電極となる第2の非晶質シリコン膜を形成する工程と、前記第2の非晶質シリコン膜に不純物をイオン注入する工程と、熱処理を施すことにより、前記第2の非晶質シリコン膜から前記第1の単結晶シリコン膜に前記不純物を拡散させるとともに、前記第2の非晶質シリコン膜を結晶化させて第2の単結晶シリコン膜にする工程とを含むことを特徴とするものである。

【0033】

【発明の実施の形態】

実施の形態1. 以下に、本発明に係わる半導体装置およびその製造方法の実施の形態について説明する。先ず、図1は、本発明の実施の形態1によるBi-CMOS半導体装置の断面構造図である。また、図2は、本発明によるBi-CMOS半導体装置の平面構造図である。

【0034】この実施の形態1のBi-CMOS半導体装置では、P型半導体基板1上にNPNバイポーラトランジスタ、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタが形成されている。

【0035】NPNバイポーラトランジスタは、低濃度のP型半導体基板1上に高濃度のN型埋め込み層2、その上に低濃度のN型コレクタ層3、N型コレクタ層3のコンタクト部に高濃度のN型コレクタコンタクト層4、N型コレクタ層3の上層部に中濃度のP型ベース層9、P型ベース層9の周囲に高濃度のP型外部ベース層8、P型ベース層9の上層部に高濃度のN型エミッタ層10を備えており、N型コレクタ層3は中濃度のP型分離層7とその上の素子分離酸化膜101で周囲を囲まれている。

【0036】また、N型コレクタコンタクト層4とP型外部ベース層8の間も素子分離酸化膜101で絶縁されている。さらに、P型外部ベース層8上から素子分離酸化膜101上にかけてベース電極200があり、N型エミッタ層10上にはエミッタ電極302がある。ベース電極200はP型不純物として一般的にはホウ素が導入された多結晶シリコン膜で形成されている。

【0037】一方、エミッタ電極302はN型不純物として一般的にはヒ素が導入された多結晶シリコン膜で形成されており、ベース電極200とエミッタ電極302は酸化膜104、熱酸化膜105、サイドウォール酸化膜106によって絶縁されている。また、エミッタ電極302の表面は酸化膜107で覆われている。

【0038】次に、PチャネルMOSトランジスタは、P型半導体基板1上に低濃度のN型ウェル層5、その上層部に高濃度のP型ソース・ドレイン層11、N型ウェル層5およびP型ソース・ドレイン層11上にゲート酸化膜102、P型ソース・ドレイン層11間にあってゲート酸化膜102上にゲート電極403を備えている。

【0039】ここで、ゲート電極403は、N型不純物として一般的にはヒ素が導入されるとともに、窒素が導入された下層多結晶シリコン膜503と上層多結晶シリコン膜504とで形成されており、かつ窒素は下層多結晶シリコン膜503とゲート酸化膜102の界面付近に偏析している。また、上層多結晶シリコン膜504は、窒素が導入されていることの外は、NPNバイポーラトランジスタのエミッタ電極302と同一の膜である。

(エミッタ電極302には、窒素は導入されていない。) また、ゲート電極403の表面は酸化膜107で覆われている。

【0040】次に、NチャネルMOSトランジスタは、P型半導体基板1上に低濃度のP型ウェル層6、その上層部に高濃度のN型ソース・ドレイン層12、P型ウェル層6およびN型ソース・ドレイン層12上にゲート酸化膜102、N型ソース・ドレイン層12間にあってゲート酸化膜102上にゲート電極404を備えている。ここで、ゲート電極404は、PチャネルMOSトランジスタのゲート電極403と同一の下層多結晶シリコン膜503と上層多結晶シリコン膜504で形成されており、表面は酸化膜107で覆われている。

【0041】このように形成されたNPNバイポーラトランジスタ、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタの各素子間は、素子分離酸化膜101で絶縁されており、各素子の表面は酸化膜108で覆われている。さらに、N型コレクタコンタクト層4、ベース電極200、エミッタ電極302、N型ウェル層5、P型ウェル層6、P型ソース・ドレイン層11、N型ソース・ドレイン層12、ゲート電極403、404上にはコンタクトホール601～609があり、各コンタクトホールを介して任意の金属配線700が形成されている。

【0042】なお、本明細書において、不純物濃度が低濃度とは $1E17/cm^3$ 未満、中濃度とは $1E17/cm^3$ 以上 $1E19/cm^3$ 未満、高濃度とは $1E19/cm^3$ 以上を意味するものとする。

【0043】この実施の形態1の半導体装置が、図23に示した従来の半導体装置と異なる点は、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタのゲート電極403および404は、下層多結晶シリコン膜503と上層多結晶シリコン膜504で形成されており、ゲート電極403、404にはN型不純物としてのヒ素に加えて窒素が導入されており、かつ窒素は下層多結晶シリコン膜503とゲート酸化膜102の界面付近に偏析していることである。

【0044】図3は、図1のB-B'線に沿った部分のヒ素と窒素の濃度分布を示す図である。ただし、縦軸の濃度の目盛は任意であり、よってヒ素と窒素の濃度の相対関係は何ら問わない。一方、NPNバイポーラトランジスタのエミッタ電極302は、ゲート電極403、404の上層多結晶シリコン膜504と同じ膜厚の多結晶シリコン膜で形成されており、N型不純物としてヒ素が導入されているが、自然に混入する以上の窒素は導入されていない。その他の構造は、図23の従来のBi-CMOS半導体装置と同じである。

【0045】なお、本実施の形態1では、エミッタ電極302およびゲート電極403、404中に導入されるN型不純物としてヒ素を用いたが、ヒ素以外の例えばリンなどでもかまわない。また、エミッタ電極302およびゲート電極403、404は、ともに多結晶シリコン膜だけで形成されているが、多結晶シリコン膜上に例えばタングステンシリサイドなどの高融点金属のシリサイド膜を有した構造としてもよい。

【0046】また、MOSトランジスタのゲート電極はPチャネル、NチャネルともにN型としたが、Pチャネルのゲート電極403はP型としたいいわゆるデュアルゲートCMOSとしてもよい。このとき、ゲート電極403に導入されるP型不純物としてはホウ素が適当である。さらに、本実施の形態にPNPバイポーラトランジスタを混載したいいわゆるCBi-CMOSとしてもよい。

【0047】本発明によれば、ゲート電極403、404の下層多結晶シリコン膜503と上層多結晶シリコン膜504には図3に示すごとく窒素が導入されており、かつ下層多結晶シリコン膜503とゲート酸化膜102の界面付近に窒素が偏析しているため、従来の半導体装置の図25に示したようなゲート電極とゲート酸化膜との界面付近でのヒ素などの不純物の偏析が抑制される。しかもエミッタ電極302には窒素が導入されていないため、NPNバイポーラトランジスタの電流増幅率を低下させることなくゲート酸化膜の寿命低下を防止できる。よって、本来の性能を低下させることなく、半導体装置の信頼性を高めるといふ効果がある。

【0048】実施の形態2. 図4は、本発明の実施の形態2によるBi-CMOS半導体装置の断面構造図である。また、このBi-CMOS半導体装置の平面構造図は、実施の形態1と同じく図2によって示される。この実施の形態2のBi-CMOS半導体装置では、実施の形態1と同様に、P型半導体基板1上にNPNバイポーラトランジスタ、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタの各素子が形成されている。図中、図1と同一の符号は、図1のものと同一または相当部分を示すものであり、重複をさけるため詳細な説明は省略する。

【0049】この半導体装置において、PチャネルMOSトランジスタおよびNチャネルMOSトランジスタのゲート電極405および406は、単結晶シリコン膜で形成されており、N型不純物としてヒ素が導入されている。一方、NPNバイポーラトランジスタのエミッタ電極303は、ゲート電極405、406よりも膜厚の薄い単結晶シリコン膜で形成されており、N型不純物としてヒ素が導入されている。その他の構造は、図1の実施の形態1のBi-CMOS半導体装置と同じである。

【0050】なお、本実施の形態では、エミッタ電極303およびゲート電極405、406中に導入されるN型不純物としてヒ素を用いたが、ヒ素以外の例えばリンなどでもかまわない。また、エミッタ電極およびゲート電極405、406は、ともに単結晶シリコン膜だけで形成されているが、単結晶シリコン膜上に例えばタングステンシリサイドなどの高融点金属のシリサイド膜を有した構造としてもよい。

【0051】また、MOSトランジスタのゲート電極はPチャネル、NチャネルともにN型としたが、Pチャネルのゲート電極405はP型としたいいわゆるデュアルゲートCMOSとしてもよい。このとき、ゲート電極405に導入されるP型不純物としてはホウ素が適当である。さらに、本実施の形態にPNPバイポーラトランジスタを混載したいいわゆるCBi-CMOSとしてもよい。

【0052】本発明によれば、エミッタ電極およびゲート電極405、406はいずれも単結晶シリコン膜で形

成されており、しかもエミッタ電極はゲート電極405、406よりも膜厚が薄いので、エミッタ電極はP型半導体基板1に対して垂直方向の電気抵抗が低くなり、ゲート電極405、406はP型半導体基板1に対して水平方向の電気抵抗が低くなる。よって、従来の半導体装置より消費電力の損失が小さく、高速動作が可能という効果がある。

【0053】実施の形態3. つぎに、本発明に係わる半導体装置の製造方法について説明する。先ず、図5ないし図12は、本発明による実施の形態3のBi-CMOS半導体装置の製造方法(第1の製造方法)を示す断面構造図である。

【0054】この実施の形態の製造方法を図を参照して説明すると、先ず図5に示すように、低濃度のP型半導体基板1上のNPNバイポーラトランジスタ形成領域に高濃度のN型埋め込み層2を形成した後、全表面に低濃度のN型エピタキシャル層3を成長させる。その後、各素子分離領域、およびバイポーラトランジスタのコレクタ、ベース間に素子分離酸化膜101を形成し、続いてコレクタコンタクト部に高濃度のN型コレクタコンタクト層4、PチャネルMOSトランジスタの低濃度のN型ウェル層5、NチャネルMOSトランジスタの低濃度のP型ウェル層6を形成する。さらに、N型エピタキシャル層3どうし間、およびN型エピタキシャル層3とN型ウェル層5間に中濃度のP型分離層7を形成する。なお、N型エピタキシャル層3はこのままN型コレクタ層3となる。

【0055】次に、図6を参照すると、N型コレクタ層3、N型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面に例えば膜厚10nmのゲート酸化膜102を形成する。さらに、全表面に例えば膜厚50nmの多結晶シリコン膜を形成し、この多結晶シリコン膜に窒素をイオン注入することにより、窒素を含有した下層多結晶シリコン膜503を形成する。このとき、窒素のイオン注入条件は、窒素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー5KeV、注入量 $7.5 \times 10^{15}/\text{cm}^2$ 程度が適当である。

【0056】次に、図7を参照すると、さらに全表面に酸化膜103を形成し、バイポーラトランジスタのベース電極形成領域を覆う領域の酸化膜103と下層多結晶シリコン膜503を順次除去する。このとき、ゲート酸化膜102はN型コレクタ層3の保護膜となる。次にN型コレクタ層3表面のゲート酸化膜102を除去し、全表面に多結晶シリコン膜500を形成し、この多結晶シリコン膜500にホウ素をイオン注入してP型化する。

【0057】次に、図8を参照すると、さらに全表面に酸化膜104を形成し、バイポーラトランジスタのN型コレクタ層3の外部ベース層形成領域から、素子分離酸化膜101の一部に乗り上げた領域までを残して酸化膜

104と多結晶シリコン膜500を順次除去する。このとき、酸化膜103は下層多結晶シリコン膜503の保護膜となる。次に多結晶シリコン膜500が除去されたN型コレクタ層3の表面に熱酸化膜105を形成し、これと同時に多結晶シリコン膜500からN型コレクタ層3へのホウ素の熱拡散により高濃度のP型外部ベース層8を形成する。ここで、多結晶シリコン膜500はベース電極200となる。さらに、熱酸化膜105ごしにホウ素をイオン注入し、N型コレクタ層3の上層部に中濃度のP型ベース層9を形成する。このとき、酸化膜103はイオン注入に対する下層多結晶シリコン膜503のマスクとなる。

【0058】次に、図9を参照すると、全表面に酸化膜を堆積しエッチバックすることにより、ベース電極200および酸化膜104の側壁にサイドウォール酸化膜106を形成する。このとき、オーバーエッチにより酸化膜103と熱酸化膜105が除去される。

【0059】次に、図10を参照すると、全表面に例えば膜厚100nmの非晶質シリコン膜510を形成し、この非晶質シリコン膜にヒ素をイオン注入する。このとき、ヒ素のイオン注入条件は、ヒ素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー50KeV、注入量 $7.5 \times 10^{15}/\text{cm}^2$ 程度が適当である。

【0060】次に、図11を参照すると、全表面に酸化膜107を形成し、バイポーラトランジスタのエミッタ電極形成領域およびMOSトランジスタのゲート電極形成領域を残して酸化膜107と非晶質シリコン膜510および下層多結晶シリコン膜503を順次除去する。このとき、ゲート酸化膜102はN型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面の保護膜となる。これによって、非晶質シリコン膜510から形成されたエミッタ電極302、および非晶質シリコン膜510から形成された上層非晶質シリコン膜504と下層多結晶シリコン膜503からなるゲート電極403、404を形成する。

【0061】さらにその後、850℃程度の熱処理を施すことにより、エミッタ電極302からP型ベース層9の上層部にヒ素を熱拡散させて高濃度のN型エミッタ層10を形成する。このとき同時に、エミッタ電極302は結晶化し多結晶シリコン膜となる。一方ゲート電極403、404は、上層非晶質シリコン膜504から下層多結晶シリコン膜503にヒ素を熱拡散させてN型化する。このとき同時に、下層多結晶シリコン膜503中の窒素は熱拡散により下層多結晶シリコン膜503とゲート酸化膜102の界面付近に偏析する。また、上層非晶質シリコン膜504は結晶化するとともに、下層多結晶シリコン膜503から窒素が熱拡散することにより、窒素を含有した上層多結晶シリコン膜504となる。こうして、図11に示した構造に至る。

【0062】次に、図12を参照すると、まずバイポーラトランジスタおよびNチャネルMOSトランジスタをフォトリソで覆い（図示せず）、ゲート酸化膜102ごしにホウ素をイオン注入しN型ウェル層5の上層部に高濃度のP型ソース・ドレイン層11を形成する。このとき、酸化膜107がイオン注入に対するゲート電極403のマスクとなる。つぎに、バイポーラトランジスタおよびPチャネルMOSトランジスタをフォトリソで覆い（図示せず）、ゲート酸化膜102ごしにヒ素をイオン注入しP型ウェル層6の上層部に高濃度のN型ソース・ドレイン層12を形成する。このとき、酸化膜107がイオン注入に対するゲート電極404のマスクとなる。さらに、熱処理を施すことにより、P型ソース・ドレイン層11およびN型ソース・ドレイン層12を活性化する。

【0063】その後、図1に示すように、全表面に酸化膜108を形成し、次に図1および図2に示すように、コレクタコンタクト層4、ベース電極200、エミッタ電極302、N型ウェル層5、P型ウェル層6、P型ソース・ドレイン層11、N型ソース・ドレイン層12、ゲート電極403、404上にコンタクトホール601～609を形成し、各コンタクトホールを介して任意の金属配線700を形成する。このようにして、図1および図2に示した実施の形態1の構造のBi-CMOS半導体装置を製造することができる。

【0064】なお、本実施の形態では、図10の工程において非晶質シリコン膜510にN型不純物としてヒ素をイオン注入したが、ヒ素以外の例えばリンなどでもかまわない。

【0065】本実施の形態によれば、図10の工程においてエミッタ電極302およびゲート電極403、404の上層膜として非晶質シリコン膜510を形成し、この非晶質シリコン膜にヒ素をイオン注入しているため、従来のBi-CMOS半導体装置の製造方法における第一の問題点、すなわちヒ素イオンのチャネリング現象によるゲート酸化膜102の膜質の劣化を招くことがない。

【0066】さらに本実施の形態によれば、図6の工程においてゲート電極403、404の下層膜として形成した多結晶シリコン膜503に窒素をイオン注入し、その後図11の工程において熱処理を施すことにより下層多結晶シリコン膜503とゲート酸化膜102の界面付近に窒素を偏析させているため、同時におこる非晶質シリコン膜504から下層多結晶シリコン膜503へのヒ素の熱拡散において、下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素の偏析が抑制される。よって従来のBi-CMOS半導体装置の製造方法における第二の問題点、すなわち下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素などの不純物の偏析にともなうゲート酸化膜の寿命低

下を抑制できる。しかも、エミッタ電極302には窒素が導入されないため、NPNバイポーラトランジスタの電流増幅率を低下させることもない。よって、本来の性能を低下させることなく、従来よりも信頼性の高い半導体装置を製造できる効果がある。

【0067】なお、本実施の形態の製造方法をまとめると、次のようになる。すなわち、本実施の形態は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタを有する半導体装置の製造方法において、

(1) 第1導電型の半導体基板上に、第2導電型のコレクタ層と、第2導電型のウェル層と、第1導電型のウェル層と、各素子形成領域を取り囲む素子分離酸化膜を形成する工程と、(2) 前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面に第1の多結晶シリコン膜を形成する工程と、

(3) 前記第1の多結晶シリコン膜に窒素を導入する工程と、(4) ベース層形成領域上の第1の多結晶シリコン膜を除去し、コレクタ層の上層部に第1導電型のベース層を形成する工程と、(5) 前記ベース層の内、エミッタ層形成領域以外の領域表面を絶縁膜で覆う工程と、

(6) 露出した、前記ベース層のエミッタ層形成領域表面、および第1の多結晶シリコン膜表面上に、非晶質シリコン膜を形成する工程と、(7) 前記非晶質シリコン膜に第2導電型の不純物をイオン注入する工程と、

(8) 前記非晶質シリコン膜および第1の多結晶シリコン膜をパターンニングすることにより、前記ベース層のエミッタ層形成領域上から前記絶縁膜上にかかる位置に非晶質シリコン膜から成るエミッタ電極を形成するとともに、前記第2導電型のウェル層および第1導電型のウェル層上のゲート酸化膜上から前記素子分離酸化膜上にかかる位置に第1の多結晶シリコン膜と非晶質シリコン膜から成るゲート電極を形成する工程と、(9) 熱処理を施すことにより、前記エミッタ電極からベース層の上層部に第2導電型の不純物を拡散させてエミッタ層を形成し、前記ゲート電極の非晶質シリコン膜から第1の多結晶シリコン膜に第2導電型の不純物を拡散させるとともに、第1の多結晶シリコン膜から非晶質シリコン膜に窒素を拡散させ、かつ第1の多結晶シリコン膜とゲート酸化膜の界面付近に窒素を偏析させ、さらにこれと同時に、エミッタ電極およびゲート電極の非晶質シリコン膜を結晶化させて第2の多結晶シリコン膜にする工程と、

(10) ゲート電極直下を除く第2導電型のウェル層の上層部に第1導電型のソース・ドレイン層を形成し、同じくゲート電極直下を除く第1導電型のウェル層の上層部に第2導電型のソース・ドレイン層を形成する工程を含むものである。

【0068】実施の形態4。図13は、本発明による実施の形態4のBi-CMOS半導体装置の製造方法（第2の製造方法）を示す断面構造図である。この実施の形態4の製造方法においては、まず実施の形態3の製造方

法における図5と同様の工程を行う。その後、図13に示すように、N型コレクタ層3、N型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面に例えば膜厚10nmのゲート酸化膜102を形成し、さらに、全表面に例えば膜厚50nmの窒素を含有した下層多結晶シリコン膜503を形成する。このとき、窒素を含有した下層多結晶シリコン膜503の形成方法としては、 $\text{SiH}_4\text{-N}_2$ （シラン-窒素）系の熱分解によるCVD法が適当である。

【0069】その後、実施の形態3において図7から図12を参照して説明した工程と同様の工程を経て、実施の形態1で示した図1および図2の構造のBi-CMOS半導体装置を製造する。

【0070】なお、本実施の形態4では、図10の工程において、非晶質シリコン膜にN型不純物としてヒ素をイオン注入したが、ヒ素以外の例えばリンなどでもかまわない。

【0071】本実施の形態によれば、図10の工程において、エミッタ電極302およびゲート電極403、404の上層膜として非晶質シリコン膜510を形成し、この非晶質シリコン膜510にヒ素をイオン注入しているため、従来のBi-CMOS半導体装置の製造方法における第一の問題点、すなわちヒ素イオンのチャネリング現象によるゲート酸化膜102の膜質の劣化を招くことがない。

【0072】さらに本実施の形態によれば、図13を参照して説明した工程においてゲート電極403、404の下層膜として窒素を含有した下層多結晶シリコン膜503を形成し、その後図11を参照して説明した工程において熱処理を施すことにより下層多結晶シリコン膜503とゲート酸化膜102の界面付近に窒素を偏析させているため、同時におこる非晶質シリコン膜504から下層多結晶シリコン膜503へのヒ素の熱拡散において、下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素の偏析が抑制される。よって従来のBi-CMOS半導体装置の製造方法における第二の問題点、すなわち下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素などの不純物の偏析にともなうゲート酸化膜の寿命低下を抑制できる。しかも、エミッタ電極302には窒素が導入されないため、NPNバイポーラトランジスタの電流増幅率を低下させることもない。よって、本来の性能を低下させることなく、従来よりも信頼性の高い半導体装置を製造できる効果がある。

【0073】なお、本実施の形態の製造方法をまとめると、次のようになる。すなわち、本実施の形態は、前記実施の形態3の製造方法のまとめにおける、(2)前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面に第1の多結晶シリコン膜を形成する工程と、(3)前記第1の多結晶シリ

コン膜に窒素を導入する工程とに換えて、前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面にあらかじめ窒素を混入した第1の多結晶シリコン膜を形成する工程を導入したものである。

【0074】実施の形態5、図14、図15は、本発明による実施の形態5のBi-CMOS半導体装置の製造方法（第3の製造方法）を示す断面構造図である。本実施の形態の製造方法においては、先ず実施の形態3の製造方法における図5の工程と同様の工程を経る。次に、図14に示すように、N型コレクタ層3、N型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面にゲート酸化膜102を形成し、さらに全表面に下層多結晶シリコン膜503を形成する。続いて、実施の形態3の図7から図9を参照して説明した工程と同様の工程を経る。

【0075】その後、図15に示すように、全表面に例えば膜厚100nmの上層多結晶シリコン膜504を形成し、バイポーラトランジスタのエミッタ電極形成領域をフォトレジスト800で覆い、これをマスクとして上層多結晶シリコン膜504に窒素をイオン注入する。このとき、窒素のイオン注入条件は、窒素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー15KeV、注入量 $7.5\text{E}15/\text{cm}^2$ 程度が適当である。ここで、上層多結晶シリコン膜504には、窒素イオンの投影飛程付近の深さに非晶質層が形成される。

【0076】その後、フォトレジストを除去し、上層多結晶シリコン膜504の全面にヒ素をイオン注入する。このとき、ヒ素イオンの注入エネルギーは、ヒ素イオンの投影飛程が図15の工程において上層多結晶シリコン膜504に形成された非晶質層より浅くなるように設定する。本実施の形態の場合には注入エネルギー50KeV以下が適当である。

【0077】図16は、図15のB-B'線に沿った部分におけるヒ素のイオン注入直後のヒ素と窒素の濃度分布を示す図である。ただし、縦軸の濃度の目盛は任意であり、よってヒ素と窒素の濃度の相対関係は何ら問わない。

【0078】次に、実施の形態3の図11を参照すると、全表面に酸化膜107を形成し、バイポーラトランジスタのエミッタ電極形成領域およびMOSトランジスタのゲート電極形成領域を残して酸化膜107と上層多結晶シリコン膜504および下層多結晶シリコン膜503を順次除去する。このとき、ゲート酸化膜102はN型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面の保護膜となる。これによって、上層多結晶シリコン膜504から成るエミッタ電極302、および下層多結晶シリコン膜503と窒素を含有した上層多結晶シリコン膜504から成るゲート電極403、4

04を形成する。

【0079】さらにその後、850℃程度の熱処理を施すことにより、エミッタ電極302からP型ベース層9の上層部にヒ素を熱拡散させて高濃度のN型エミッタ層10を形成する。一方ゲート電極403、404の下層多結晶シリコン膜503は、上層多結晶シリコン膜504から窒素とヒ素が同時に熱拡散してN型の窒素を含有した下層多結晶シリコン膜503となる。このとき、下層多結晶シリコン膜503中に拡散した窒素はゲート酸化膜102との界面付近に偏析する。こうして、実施の形態3の図11と同じ状態となる（ただし、符号が一部異なる）。

【0080】その後、実施の形態3において図12を参照して説明した工程と同様の工程を経て、実施の形態1で示した図1および図2の構造のBi-CMOS半導体装置を製造する。

【0081】なお、本実施の形態では、図15の工程の後に上層多結晶シリコン膜504にN型不純物としてヒ素をイオン注入したが、ヒ素以外の例えばリンなどでもかまわない。

【0082】本実施の形態によれば、図15の工程において、エミッタ電極302およびゲート電極403、404の上層膜として上層多結晶シリコン膜504を形成し、この上層多結晶シリコン膜504のエミッタ電極形成領域以外の領域に窒素をイオン注入することで上層多結晶シリコン膜504中に非晶質層を形成する。しかる後、図16に示すごとくこの非晶質層より浅い投影飛程でヒ素をイオン注入しているため、従来のBi-CMOS半導体装置の製造方法における第一の問題点、すなわちヒ素イオンのチャネリング現象によるゲート酸化膜102の膜質の劣化を招くことがない。

【0083】さらに本実施の形態によれば、図15の工程において上層多結晶シリコン膜504のエミッタ電極形成領域以外の領域に窒素をイオン注入し、その後熱処理を施すことにより下層多結晶シリコン膜503とゲート酸化膜102の界面付近に窒素を偏析させているため、同時におこる上層多結晶シリコン膜504から下層多結晶シリコン膜503へのヒ素の熱拡散において、下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素の偏析が抑制される。よって従来のBi-CMOS半導体装置の製造方法における第二の問題点、すなわち下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素などの不純物の偏析にともなうゲート酸化膜の寿命低下を抑制できる。しかも、エミッタ電極302には窒素が導入されないため、NPNバイポーラトランジスタの電流増幅率を低下させることもない。よって、本来の性能を低下させることなく、従来よりも信頼性の高い半導体装置を製造できる効果がある。

【0084】なお、本実施の形態の製造方法をまとめる

と、次のようになる。すなわち、本実施の形態は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタを有する半導体装置の製造方法において、

(1) 第1導電型の半導体基板上に、第2導電型のコレクタ層と、第2導電型のウェル層と、第1導電型のウェル層と、各素子形成領域を取り囲む素子分離酸化膜を形成する工程と、(2) 前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面に第1の多結晶シリコン膜を形成する工程と、

(3) ベース層形成領域上の第1の多結晶シリコン膜を除去し、コレクタ層の上層部に第1導電型のベース層を形成する工程と、(4) 前記ベース層の内、エミッタ層形成領域以外の領域表面を絶縁膜で覆う工程と、(5) 露出した前記ベース層のエミッタ層形成領域表面および第1の多結晶シリコン膜表面上に、第2の多結晶シリコン膜を形成し、この第2の多結晶シリコン膜のエミッタ電極形成領域を保護膜で覆う工程と、(6) 前記保護膜をマスクとして第2の多結晶シリコン膜に窒素をイオン注入し、第2の多結晶シリコン膜中に非晶質層を形成する工程と、(7) 前記保護膜を除去後、第2の多結晶シリコン膜全面に、イオンの投影飛程が前記非晶質層よりも浅い注入エネルギーにて第2導電型の不純物をイオン注入する工程と、(8) 前記第2の多結晶シリコン膜および第1の多結晶シリコン膜をパターンニングすることにより、前記ベース層のエミッタ層形成領域上から前記絶縁膜上にかかる位置に第2の多結晶シリコン膜から成るエミッタ電極を形成するとともに、前記第2導電型のウェル層および第1導電型のウェル層上のゲート酸化膜上から前記素子分離酸化膜上にかかる位置に第1の多結晶シリコン膜と第2の多結晶シリコン膜から成るゲート電極を形成する工程と、(9) 熱処理を施すことにより、前記エミッタ電極からベース層の上層部に第2導電型の不純物を拡散させてエミッタ層を形成し、前記ゲート電極の第2の多結晶シリコン膜から第1の多結晶シリコン膜に第2導電型の不純物と窒素を同時に拡散させ、第1の多結晶シリコン膜とゲート酸化膜の界面付近に窒素を偏析させる工程と、(10) ゲート電極直下を除く第2導電型のウェル層の上層部に第1導電型のソース・ドレイン層を形成し、同じくゲート電極直下を除く第1導電型のウェル層の上層部に第2導電型のソース・ドレイン層を形成する工程を含むものである。また、前記保護膜が、フォトリソグラフィで形成したフォトレジストであることを特徴とするものである。

【0085】実施の形態6. 図17は、本発明の実施の形態6によるBi-CMOS半導体装置の製造方法（第4の製造方法）を示す断面構造図である。本実施の形態6の製造方法においては、先ず実施の形態3の製造方法における図5、次に実施の形態5の製造方法における図14、さらに実施の形態3の製造方法における図7から図9を参照して説明した工程と同様の工程を経る。

【0086】その後、図17に示すように、全表面に例えば膜厚100nmの非晶質シリコン膜510を形成し、バイポーラトランジスタのエミッタ電極形成領域をフォトリソで覆い、これをマスクとして非晶質シリコン膜510に窒素をイオン注入する。このとき、窒素のイオン注入条件は、窒素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー15KeV、注入量 $7.5 \times 10^{15} / \text{cm}^2$ 程度が適当である。

【0087】その後、フォトリソを除去し、非晶質シリコン膜510の全面にヒ素をイオン注入する。このとき、ヒ素のイオン注入条件は、ヒ素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー50KeV、注入量 $7.5 \times 10^{15} / \text{cm}^2$ 程度が適当である。

【0088】次に、実施の形態3の図11を参照すると、全表面に酸化膜107を形成し、バイポーラトランジスタのエミッタ電極形成領域およびMOSTランジスタのゲート電極形成領域を残して酸化膜107と非晶質シリコン膜510および下層多結晶シリコン膜503を順次除去する。このとき、ゲート酸化膜102はN型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面の保護膜となる。これによって、非晶質シリコン膜から成るエミッタ電極302を形成するとともに、上層非晶質シリコン膜510から形成され窒素を含有した上層非晶質シリコン膜504と、下層多結晶シリコン膜503とから成るゲート電極403、404を形成する。

【0089】さらにその後、850℃程度の熱処理を施すことにより、エミッタ電極302からP型ベース層9の上層部にヒ素を熱拡散させて高濃度のN型エミッタ層10を形成する。このとき同時に、エミッタ電極302は結晶化し多結晶シリコン膜となる。一方ゲート電極403、404の下層多結晶シリコン膜503は、上層非晶質シリコン膜504から窒素とヒ素が同時に熱拡散してN型の窒素を含有した下層多結晶シリコン膜503となる。このとき、下層多結晶シリコン膜503中に拡散した窒素はゲート酸化膜102との界面付近に偏析する。また、上層非晶質シリコン膜504は結晶化して窒素を含有した上層多結晶シリコン膜504となる。こうして、実施の形態3の図11と同じ状態となる。

【0090】その後、実施の形態3において図12を参照して説明した工程と同様の工程を経て、実施の形態1の図1および図2で示した構造のBi-CMOS半導体装置を得る。

【0091】なお、本実施の形態では図17の工程の後に非晶質シリコン膜にN型不純物としてヒ素をイオン注入したが、ヒ素以外の例えばリンなどでもかまわない。

【0092】本実施の形態によれば、図17の工程においてエミッタ電極302およびゲート電極403、40

4の上層膜として非晶質シリコン膜510を形成し、その後この非晶質シリコン膜にヒ素をイオン注入しているため、従来のBi-CMOS半導体装置の製造方法における第一の問題点、すなわちヒ素イオンのチャネリング現象によるゲート酸化膜102の膜質の劣化を招くことがない。

【0093】さらに本実施の形態によれば、図17の工程において非晶質シリコン膜510のエミッタ電極形成領域以外の領域に窒素をイオン注入し、その後熱処理を施すことにより下層多結晶シリコン膜503とゲート酸化膜102の界面付近に窒素を偏析させているため、同時におこる上層多結晶シリコン膜504から下層多結晶シリコン膜503へのヒ素の熱拡散において、下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素の偏析が抑制される。よって従来のBi-CMOS半導体装置の製造方法における第二の問題点、すなわち下層多結晶シリコン膜503とゲート酸化膜102の界面付近におけるヒ素などの不純物の偏析にともなうゲート酸化膜の寿命低下を抑制できる。しかも、エミッタ電極302には窒素が導入されないため、NPNバイポーラトランジスタの電流増幅率を低下させることもない。よって、本来の性能を低下させることなく、従来よりも信頼性の高い半導体装置を製造できる効果がある。

【0094】なお、本実施の形態の製造方法をまとめると、次のようになる。すなわち、本実施の形態は、同一半導体基板上に、バイポーラトランジスタとMOSTランジスタを有する半導体装置の製造方法において、

(1) 第1導電型の半導体基板上に、第2導電型のコレクタ層と、第2導電型のウェル層と、第1導電型のウェル層と、各素子形成領域を取り囲む素子分離酸化膜を形成する工程と、(2) 前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面に第1の多結晶シリコン膜を形成する工程と、

(3) ベース層形成領域上の第1の多結晶シリコン膜を除去し、コレクタ層の上層部に第1導電型のベース層を形成する工程と、(4) 前記ベース層の内、エミッタ層形成領域以外の領域表面を絶縁膜で覆う工程と、(5) 露出した前記ベース層のエミッタ層形成領域表面および第1の多結晶シリコン膜表面上に非晶質シリコン膜を形成し、この非晶質シリコン膜のエミッタ電極形成領域を保護膜で覆う工程と、(6) 前記保護膜をマスクとして非晶質シリコン膜に窒素をイオン注入する工程と、

(7) 前記保護膜を除去後、非晶質シリコン膜全面に第2導電型の不純物をイオン注入する工程と、(8) 前記非晶質シリコン膜および第1の多結晶シリコン膜をパターンニングすることにより、前記ベース層のエミッタ層形成領域上から前記絶縁膜上にかかる位置に非晶質シリコン膜から成るエミッタ電極を形成するとともに、前記第2導電型のウェル層および第1導電型のウェル層上のゲート酸化膜上から前記素子分離酸化膜上にかかる位置

に第1の多結晶シリコン膜と非晶質シリコン膜から成るゲート電極を形成する工程と、(9)熱処理を施すことにより、前記エミッタ電極からベース層の上層部に第2導電型の不純物を拡散させてエミッタ層を形成し、前記ゲート電極の非晶質シリコン膜から第1の多結晶シリコン膜に第2導電型の不純物と窒素を同時に拡散させ、第1の多結晶シリコン膜とゲート酸化膜の界面付近に窒素を偏析させ、さらにこれと同時に、エミッタ電極およびゲート電極の非晶質シリコン膜を結晶化させて第2の多結晶シリコン膜にする工程と、(10)ゲート電極直下を除く第2導電型のウェル層の上層部に第1導電型のソース・ドレイン層を形成し、同じくゲート電極直下を除く第1導電型のウェル層の上層部に第2導電型のソース・ドレイン層を形成する工程を含むものである。また、前記保護膜が、フォトリソグラフィで形成したフォトレジストであることを特徴とするものである。

【0095】実施の形態7. 図18は、本発明の実施の形態7によるBi-CMOS半導体装置の製造方法(第5の製造方法)を示す断面構造図である。本実施の形態7の製造方法においては、先ず実施の形態3における図5、次に実施の形態5における図14、さらに実施の形態3における図7から図9を参照して説明した工程と同様の工程を経る。

【0096】その後、図18に示すように、全表面に例えば膜厚100nmの上層多結晶シリコン膜504を形成する。さらにその上に、例えばシラノール(Si(OH)4)系の化合物を有機溶剤に溶解したものをスピコートし焼成することにより、バイポーラトランジスタのエミッタ電極形成領域の凹部を塗布形成膜900で覆い、これをマスクとして上層多結晶シリコン膜504に窒素をイオン注入する。このとき、窒素のイオン注入条件は、窒素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー15KeV、注入量 $7.5E15/cm^2$ 程度が適当である。ここで、上層多結晶シリコン膜504には窒素イオンの投影飛程付近の深さに非晶質層が形成される。

【0097】その後、塗布形成膜900を除去し、上層多結晶シリコン膜504の全面にヒ素をイオン注入する。このとき、ヒ素イオンの注入エネルギーは、ヒ素イオンの投影飛程が図18の工程において上層多結晶シリコン膜504に形成された非晶質層より浅くなるように設定する。本実施の形態の場合には注入エネルギー50KeV以下が適当である。ヒ素のイオン注入直後のヒ素と窒素の濃度分布は、実施の形態5の図16と同様である。

【0098】この後は実施の形態5と同様に、上層多結晶シリコン膜504から成るエミッタ電極302、および下層多結晶シリコン膜503と窒素を含有した上層多結晶シリコン膜504から成るゲート電極403、404を形成し、さらに、熱処理により、N型エミッタ層1

0の形成、下層多結晶シリコン膜503のN型化、下層多結晶シリコン膜503とゲート酸化膜102の界面付近への窒素の偏析を行い、実施の形態3において図12を参照して説明した工程と同様の工程を経て、実施の形態1で示した図1の構造のBi-CMOS半導体装置を得る。

【0099】本実施の形態によれば、実施の形態5の効果に加え、図18の工程において上層多結晶シリコン膜504のエミッタ電極形成領域以外の領域に窒素をイオン注入する際に、マスクとして塗布形成膜900を用いているため、フォトレジストに露光するためのフォトマスクを作成する必要がなく、よって製造費用の増加が抑えられるという効果がある。

【0100】なお、本実施の形態の製造方法をまとめると、本実施の形態は、実施の形態5における製造方法のまとめの記載における前記保護膜が、塗布形成膜をスピコートし焼成したものであることを特徴とするものである。

【0101】実施の形態8. 図19は、本発明による実施の形態8のBi-CMOS半導体装置の製造方法(第6の製造方法)を示す断面構造図である。本実施の形態8の製造方法においては、先ず実施の形態3の製造方法における図5、次に実施の形態5の製造方法における図14、さらに実施の形態3の製造方法における図7から図9を参照して説明した工程と同様の工程を経る。

【0102】次に、図19に示すように、全表面に例えば膜厚100nmの非晶質シリコン膜510を形成する。さらにその上に、例えばシラノール(Si(OH)4)系の化合物を有機溶剤に溶解したものをスピコートし焼成することにより、バイポーラトランジスタのエミッタ電極形成領域の凹部を塗布形成膜900で覆い、これをマスクとして非晶質シリコン膜に窒素をイオン注入する。このとき、窒素のイオン注入条件は、窒素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー15KeV、注入量 $7.5E15/cm^2$ 程度が適当である。

【0103】その後、塗布形成膜900を除去し、非晶質シリコン膜の全面にヒ素をイオン注入する。このとき、ヒ素のイオン注入条件は、ヒ素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー50KeV、注入量 $7.5E15/cm^2$ 程度が適当である。

【0104】この後は実施の形態6と同様に、非晶質シリコン膜から成るエミッタ電極302、および下層多結晶シリコン膜503と窒素を含有した非晶質シリコン膜504から成るゲート電極403、404を形成し、さらに、熱処理により、N型エミッタ層10の形成、下層多結晶シリコン膜503のN型化、下層多結晶シリコン膜503とゲート酸化膜102の界面付近への窒素の偏析および非晶質シリコン膜504の結晶化を行い、実施

の形態3において図12を参照して説明した工程と同様の工程を経て、実施の形態1の図1で示した構造のBi-CMOS半導体装置を得る。

【0105】本実施の形態によれば、実施の形態6の効果に加え、図19の工程において非晶質シリコン膜510のエミッタ電極形成領域以外の領域に窒素をイオン注入する際に、マスクとして塗布形成膜900を用いているため、フォトリソに露光するためのフォトマスクを作成する必要がなく、よって製造費用の増加が抑えられるという効果がある。

【0106】なお、本実施の形態の製造方法をまとめると、本実施の形態は、実施の形態6における製造方法のまとめの記載における前記保護膜が、塗布形成膜をスパインコートし焼成したものであることを特徴とするものである。

【0107】実施の形態9、本実施の形態9は、実施の形態2で説明した半導体装置を製造するための製造方法に関するものである。図20および図21は、本発明による実施の形態9のBi-CMOS半導体装置の製造方法（第7の製造方法）を示す断面構造図である。本実施の形態9の製造方法においては、先ず実施の形態3の製造方法における図5と同様の工程を経る。その後、図20に示すように、N型コレクタ層3、N型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面に例えば膜厚10nmのゲート酸化膜102を形成する。さらに全表面に例えば膜厚50nmの非晶質シリコン膜519を形成し、850℃程度の熱処理を施すことにより結晶化し、下層単結晶シリコン膜521を形成する。

【0108】その後、実施の形態3において図7から図9を参照して説明した工程と同様の工程を経る。ただし、下層多結晶シリコン膜503は下層単結晶シリコン膜521に置き換わる。

【0109】その後、図21に示すように、全表面に例えば膜厚100nmの非晶質シリコン膜520を形成し、この非晶質シリコン膜にヒ素をイオン注入する。このとき、ヒ素のイオン注入条件は、ヒ素イオンがゲート酸化膜102に達しないように設定する。本実施の形態の場合には注入エネルギー50KeV、注入量 $7.5 \times 10^{15} \text{ cm}^{-2}$ 程度が適当である。

【0110】さらに850℃程度の熱処理を施すことにより、非晶質シリコン膜520からP型ベース層9の上層部にヒ素を熱拡散させて高濃度のN型エミッタ層10を形成し、これと同時に下層単結晶シリコン膜521にもヒ素を熱拡散させてN型化した状態である。また、非晶質シリコン膜520は、下層単結晶シリコン膜521の結晶方位に配向して結晶化し、上層単結晶シリコン膜522となる。

【0111】次に、図22を参照すると、全表面に酸化膜107を形成し、バイポーラトランジスタのエミッタ

電極形成領域およびMOSトランジスタのゲート電極形成領域を残して酸化膜107と上層単結晶シリコン膜522および下層単結晶シリコン膜521を順次除去し、これによって、上層単結晶シリコン膜522から成るエミッタ電極303、および下層単結晶シリコン膜521と上層単結晶シリコン膜522から成るゲート電極405、406を形成する。このとき、ゲート酸化膜102はN型コレクタコンタクト層4、N型ウェル層5、P型ウェル層6の各表面の保護膜となる。また、ゲート電極405、406の下層単結晶シリコン膜521と上層単結晶シリコン膜522は同じ結晶方位であるため、一層の単結晶シリコン膜と同じ状態となる。

【0112】その後、実施の形態3において図12を参照して説明した工程と同様の工程を経て、実施の形態2の図4の構造のBi-CMOS半導体装置を得る。

【0113】なお、本実施の形態では図21の工程において非晶質シリコン膜にN型不純物としてヒ素をイオン注入したが、ヒ素以外の例えばリンなどでもかまわない。

【0114】本実施の形態によれば、図21の工程においてエミッタ電極およびゲート電極405、406の上層膜として非晶質シリコン膜520を形成し、この非晶質シリコン膜にヒ素をイオン注入しているため、従来のBi-CMOS半導体装置の製造方法における第一の問題点、すなわちヒ素イオンのチャネリング現象によるゲート酸化膜102の膜質の劣化を招くことがない。

【0115】さらに本実施の形態によれば、図20の工程においてゲート電極405、406の下層膜として非晶質シリコン膜519を形成し、熱処理を施して結晶化し下層単結晶シリコン膜521とすることにより、その後の図21の工程において、ヒ素をイオン注入した非晶質シリコン膜520から下層単結晶シリコン膜521にヒ素を熱拡散させてN型化する際に、粒界に沿った速い拡散を解消しているため、従来のBi-CMOS半導体装置の製造方法における第二の問題点、すなわち下層単結晶シリコン膜521とゲート酸化膜102の界面付近におけるヒ素の偏析にともなうゲート酸化膜の寿命低下を抑制できる。

【0116】また、エミッタ電極303およびゲート電極405、406はいずれも単結晶シリコン膜で形成されるため、各電極の電気抵抗が低くなる。よって、従来よりも消費電力の損失が小さく、高速動作が可能で、かつ信頼性の高い半導体装置を製造できる効果がある。

【0117】なお、本実施の形態の製造方法をまとめると、次のようになる。すなわち、本実施の形態は、同一半導体基板上に、バイポーラトランジスタとMOSトランジスタを有する半導体装置の製造方法において、

(1) 第1導電型の半導体基板上に、第2導電型のコレクタ層と、第2導電型のウェル層と、第1導電型のウェル層と、各素子形成領域を取り囲む素子分離酸化膜を形

成する工程と、(2)前記コレクタ層および両ウェル層の各素子形成領域表面にゲート酸化膜を形成し、さらに全表面に第1の非晶質シリコン膜を形成し、熱処理を施して結晶化することにより、第1の非晶質シリコン膜を第1の単結晶シリコン膜にする工程と、(3)ベース層形成領域上の第1の単結晶シリコン膜を除去し、コレクタ層の上層部に第1導電型のベース層を形成する工程と、(4)前記ベース層の内、エミッタ層形成領域以外の領域表面を絶縁膜で覆う工程と、(5)露出した前記ベース層のエミッタ層形成領域表面および第1の単結晶シリコン膜表面上に、第2の非晶質シリコン膜を形成する工程と、(6)前記第2の非晶質シリコン膜に第2導電型の不純物をイオン注入する工程と、(7)熱処理を施すことにより、第2の非晶質シリコン膜からベース層の上層部に第2導電型の不純物を拡散させてエミッタ層を形成するとともに、第2の非晶質シリコン膜から第1の単結晶シリコン膜に第2導電型の不純物を拡散させ、さらにこれと同時に、第2の非晶質シリコン膜を結晶化させて第2の単結晶シリコン膜にする工程と、(8)前記第2の単結晶シリコン膜および第1の単結晶シリコン膜をパターンニングすることにより、前記エミッタ層上から前記絶縁膜上にかかる位置に第2の単結晶シリコン膜から成るエミッタ電極を形成するとともに、前記第2導電型のウェル層および第1導電型のウェル層上のゲート酸化膜上から前記素子分離酸化膜上にかかる位置に第1の単結晶シリコン膜と第2の単結晶シリコン膜から成るゲート電極を形成する工程と、(9)ゲート電極直下を除く第2導電型のウェル層の上層部に第1導電型のソース・ドレイン層を形成し、同じくゲート電極直下を除く第1導電型のウェル層の上層部に第2導電型のソース・ドレイン層を形成する工程を含むものである。

【0118】

【発明の効果】以上説明したように、この発明によれば、同一半導体基板上にバイポーラトランジスタとMOSトランジスタとを備えた半導体装置において、ゲート酸化膜の膜質の劣化とその寿命の低下を防止した半導体装置とその製造方法を得ることができる。これにより、半導体装置の信頼性が向上し、あるいは、半導体装置の消費電力の損失が低減し、または半導体装置の動作速度を向上するなどの効果がえられる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1によるBi-CMOS半導体装置の断面構造図である。

【図2】 本発明の実施の形態1によるBi-CMOS半導体装置の平面構造図である。

【図3】 本発明の実施の形態1によるBi-CMOS半導体装置のゲート電極およびゲート酸化膜のヒ素と窒素の濃度分布を示す図である。

【図4】 本発明の実施の形態2によるBi-CMOS半導体装置の断面構造図である。

【図5】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図6】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図7】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図8】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図9】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図10】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図11】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図12】 本発明の実施の形態3によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図13】 本発明の実施の形態4によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図14】 本発明の実施の形態5によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図15】 本発明の実施の形態5によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図16】 本発明の実施の形態5によるBi-CMOS半導体装置の製造方法におけるゲート電極とゲート酸化膜のヒ素と窒素の濃度分布を示す図である。

【図17】 本発明の実施の形態6によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図18】 本発明の実施の形態7によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図19】 本発明の実施の形態8によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図20】 本発明の実施の形態9によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図21】 本発明の実施の形態9によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図22】 本発明の実施の形態9によるBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図23】 従来のBi-CMOS半導体装置の断面構造図である。

【図24】 従来のBi-CMOS半導体装置の製造方法を示す断面構造図である。

【図25】 従来のBi-CMOS半導体装置のゲート電極およびゲート酸化膜のヒ素と窒素の濃度分布を示す図である。

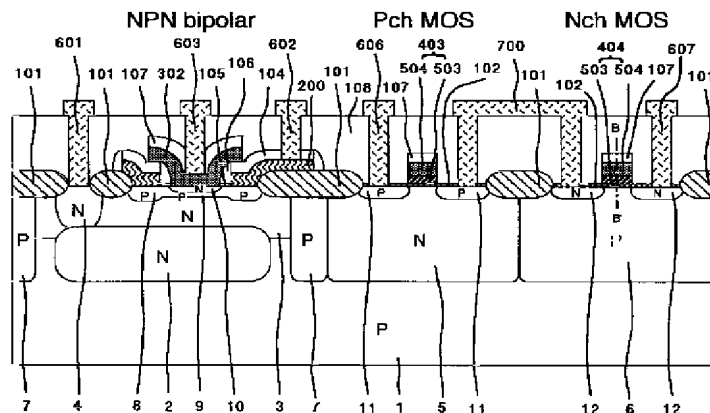
【符号の説明】

1 P型半導体基板、2 高濃度のN型埋め込み層、3 低濃度のN型コレクタ層、4 高濃度のN型コレクタコンタクト層、5 低濃度のN型ウェル層、6 低濃度のP型ウェル層、7 中濃度のP型分離層、8 高濃度のP型外部ベース層、9 中濃度のP型ベース層、10

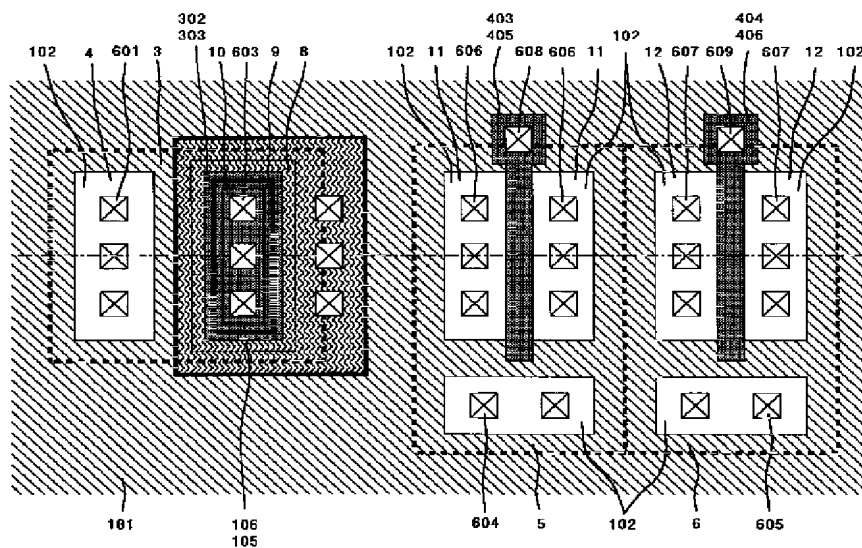
高濃度のN型エミッタ層、11 高濃度のP型ソース・ドレイン層、12 高濃度のN型ソース・ドレイン層、101 素子分離酸化膜、102 ゲート酸化膜、103 酸化膜、104 酸化膜、105 熱酸化膜、106 サイドウォール酸化膜、107 酸化膜、108 酸化膜、200 ベース電極、301、302、303 エミッタ電極、401、402、403、404、405、406 ゲート電極、500 多結晶シリコン膜、50

1 下層多結晶シリコン膜、502 上層多結晶シリコン膜、503 下層多結晶シリコン膜、504 上層非晶質シリコン膜、上層多結晶シリコン膜、510、519、520 非晶質シリコン膜、521 下層単結晶シリコン膜、522 上層単結晶シリコン膜、601～609 コンタクトホール、700 金属配線、800 フォトリソグ、900 塗布形成膜。

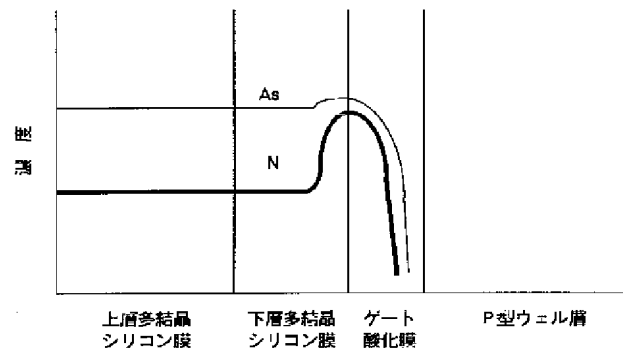
【図1】



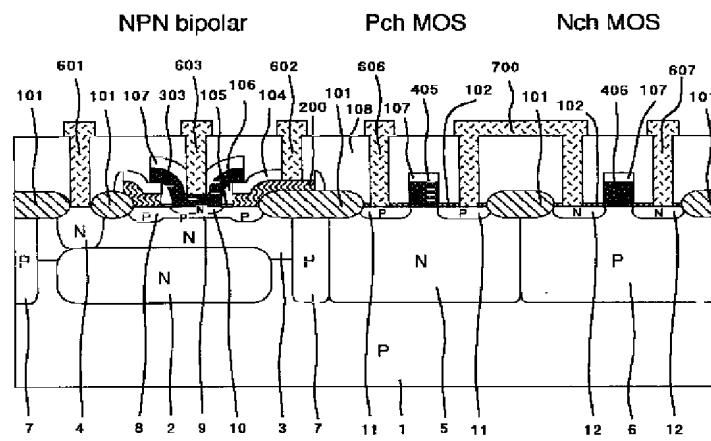
【図2】



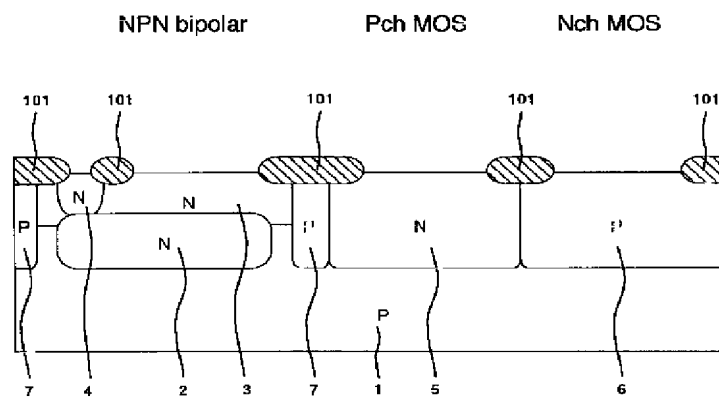
【図3】



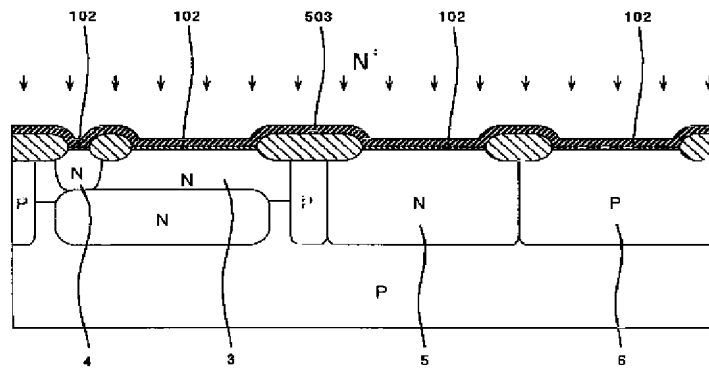
【図4】



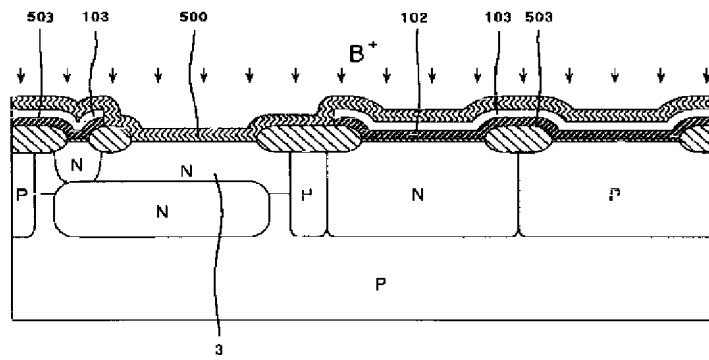
【図5】



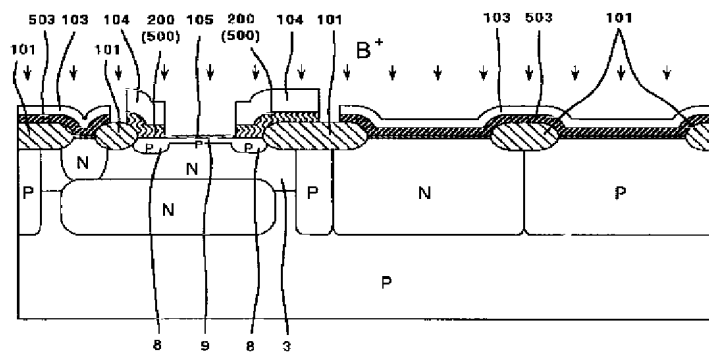
【図6】



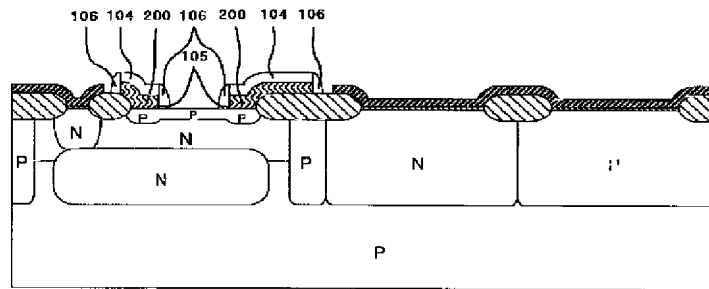
【図7】



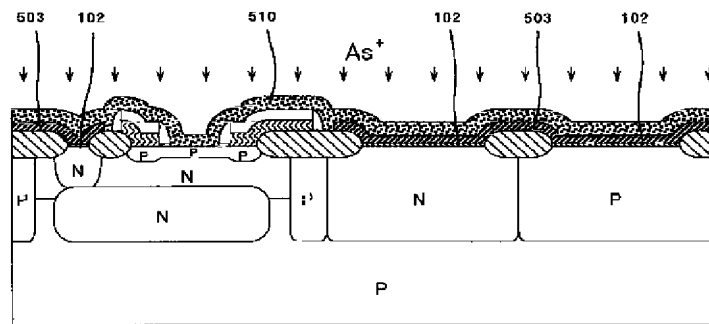
【図8】



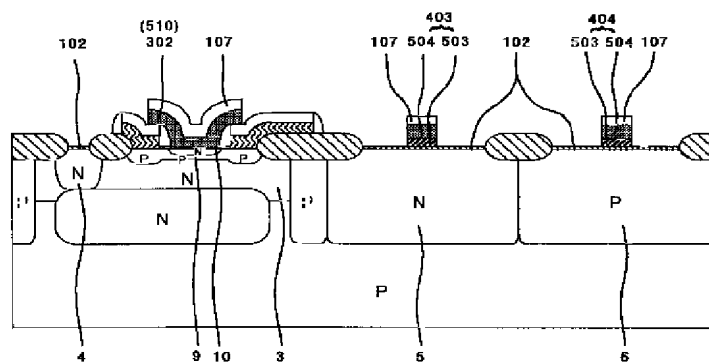
【図9】



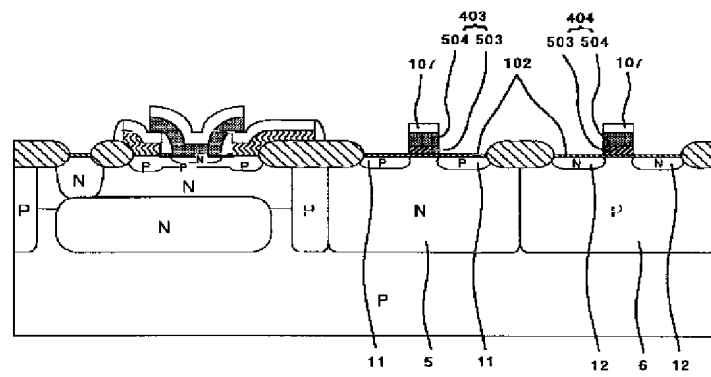
【図10】



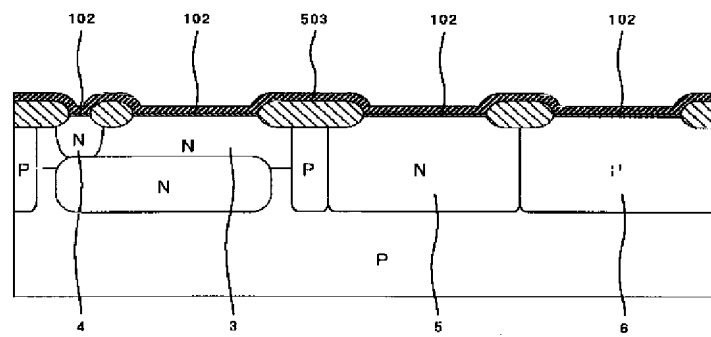
【図11】



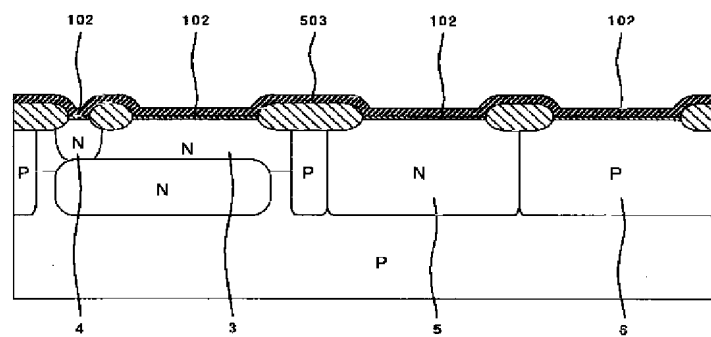
【例 12】



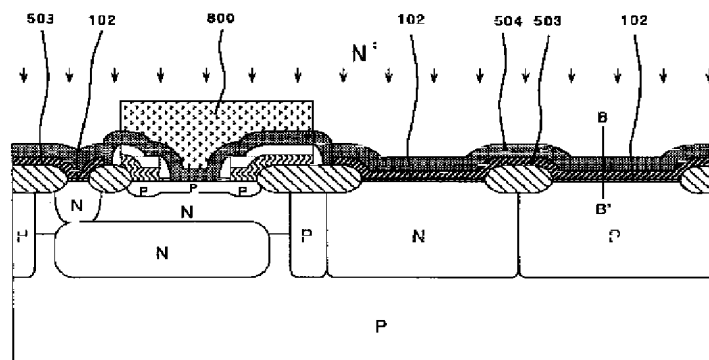
【例 13】



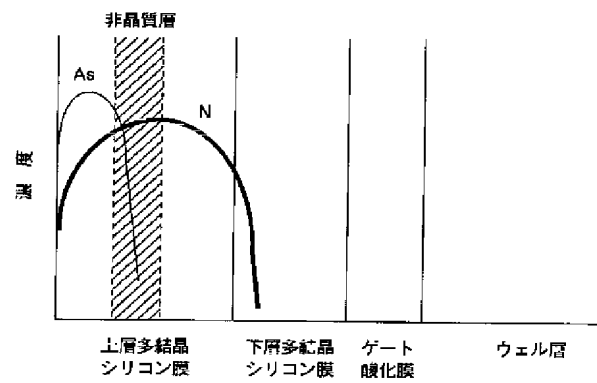
【例 14】



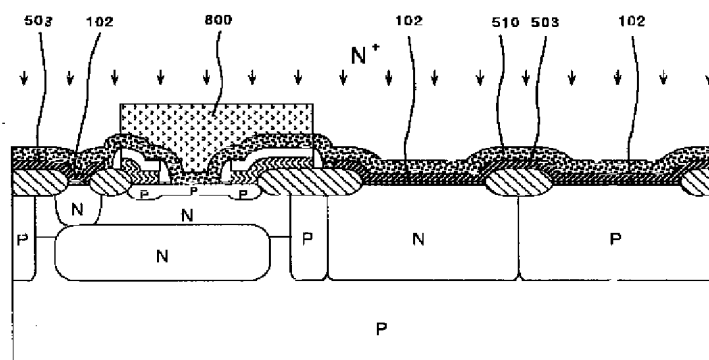
【図15】



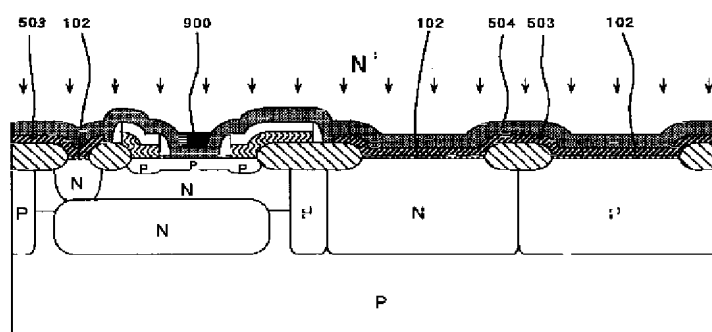
【図16】



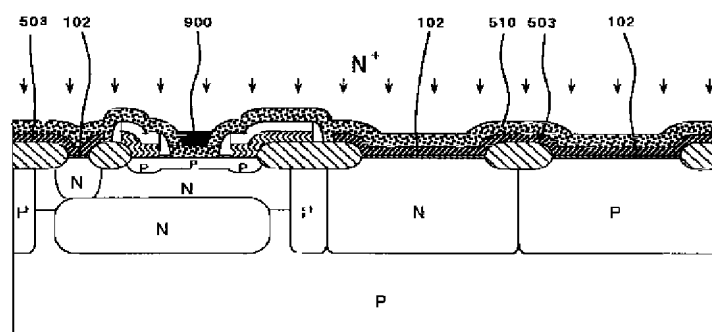
【図17】



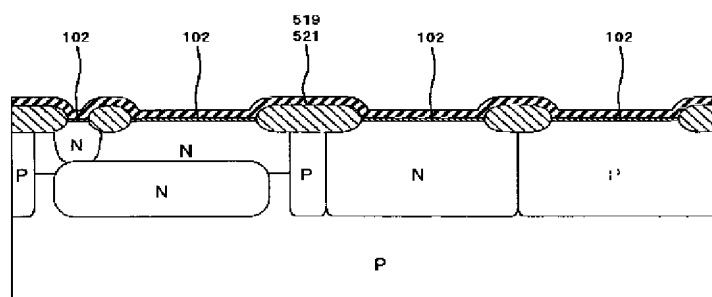
【図18】



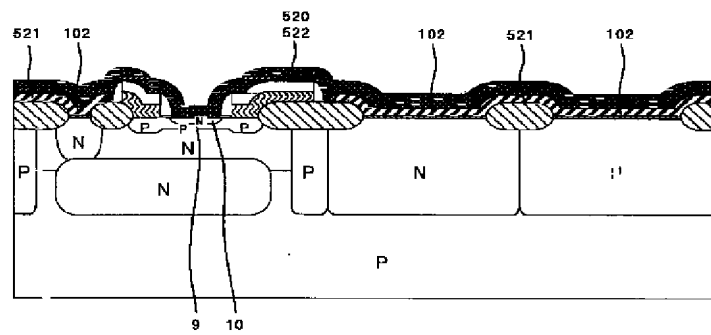
【図19】



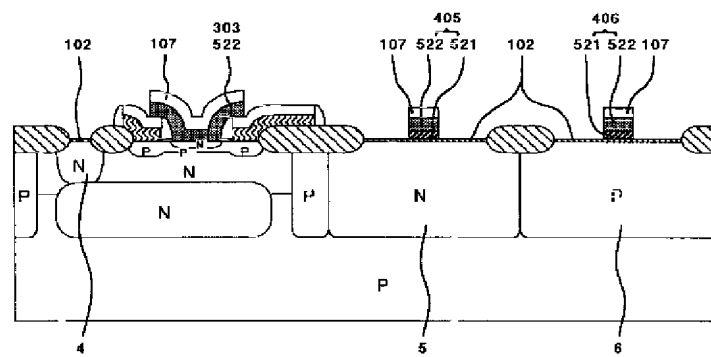
【図20】



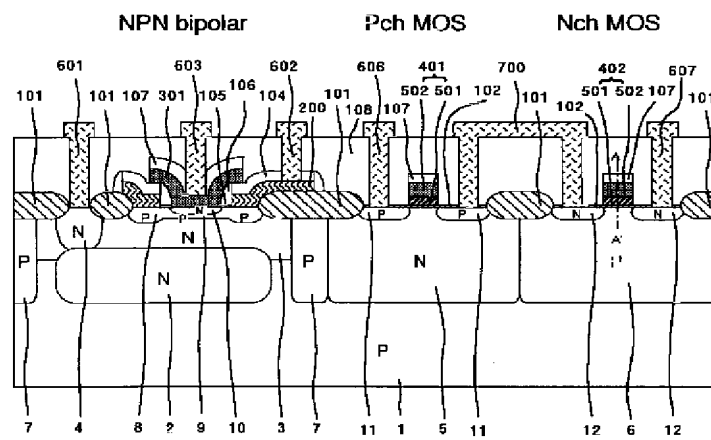
【図21】



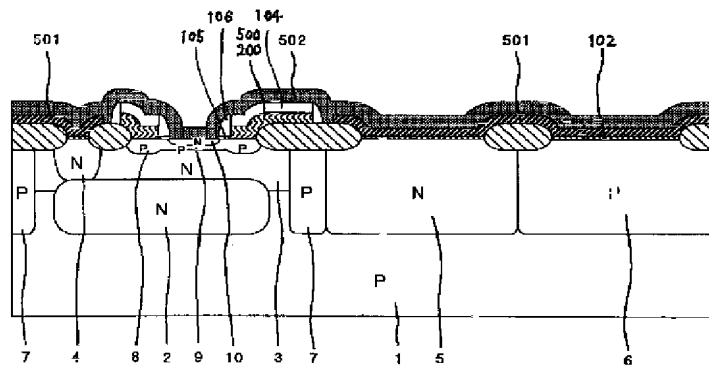
【図22】



【図23】



【图 24】



【例 25】

